

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 0 月 1 0 日  
Date of Application:

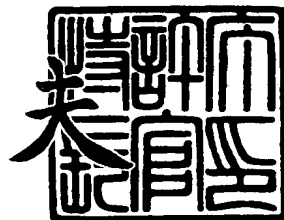
出 願 番 号            特 願 2 0 0 3 - 3 5 2 3 4 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 5 2 3 4 6 ]

出    願    人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年 1 2 月    3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 A000304434  
【提出日】 平成15年10月10日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/108  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 鬼頭 傑  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 青地 英明  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板と、

前記半導体基板に設けられたトレンチと、

前記トレンチの下部において第 1 の誘電体膜を介して充填され、第 1 の導電型を有する第 1 の不純物でドーパされた第 1 のドーパト多結晶シリコン層と、

前記トレンチの上部において第 2 の誘電体膜を介して充填され、前記第 1 のドーパト多結晶シリコンと連続し、前記第 1 の不純物とは異なり前記第 1 の導電型を有する第 2 の不純物でドーパされた少なくとも第 2 のドーパト多結晶シリコン層と、

前記第 2 のドーパト多結晶シリコン層上に設けられ、前記第 1 のドーパト多結晶シリコン層からなる埋め込みストラップ層とを具備することを特徴とするトレンチキャパシタ。

**【請求項 2】**

前記トレンチの上部において第 2 の誘電体膜を介して充填され、前記第 1 のドーパト多結晶シリコンと前記第 2 のドーパト多結晶シリコン層との間に前記第 1 の不純物でドーパされた第 3 のドーパト多結晶シリコン層を有することを特徴とする請求項 1 記載のトレンチキャパシタ。

**【請求項 3】**

前記第 1 の不純物がヒ素であり、第 2 の不純物がリンであることを特徴とする請求項 1 又は 2 記載のトレンチキャパシタ。

**【請求項 4】**

前記第 2 のドーパト多結晶シリコン層の不純物濃度を変えることを特徴とする請求項 1 又は 2 記載のトレンチキャパシタ。

**【請求項 5】**

前記第 2 のドーパト多結晶シリコン層の量を変えることを特徴とする請求項 1 又は 2 記載のトレンチキャパシタ。

**【請求項 6】**

前記第 2 の誘電体膜における上部の膜厚が下部の膜厚よりも小さいことを特徴とする請求項 1 又は 2 記載のトレンチキャパシタ。

**【請求項 7】**

前記第 2 の誘電体膜における前記上部に前記第 2 のドーパト多結晶シリコン層が設けられていることを特徴とする請求項 6 記載のトレンチキャパシタ。

**【請求項 8】**

前記第 2 の誘電体膜における前記上部に前記埋め込みストラップ層の一部が位置することを特徴とする請求項 6 記載のトレンチキャパシタ。

**【請求項 9】**

半導体基板中にトレンチを形成する工程と、

前記トレンチの内壁に第 1 の誘電体膜を形成する工程と、

前記トレンチ内に第 1 の不純物でドーパされ、第 1 の導電型を有する第 1 のドーパトアモルファスシリコン層を充填する工程と、

前記第 1 のドーパトアモルファスシリコン層および前記第 1 の誘電体膜を第 1 の深さまで除去してトレンチ上部の内壁を露出する工程と、

露出した前記トレンチ上部の内壁に第 2 の誘電体膜を形成する工程と、

前記トレンチ内の底部から前記第 2 の誘電体膜を選択的に除去して前記第 1 のドーパトアモルファスシリコン層の表面を露出する工程と、

前記トレンチ内に前記第 1 の不純物とは異なり、前記第 1 の導電型を有する第 2 の不純物でドーパされた少なくとも第 2 のドーパトアモルファスシリコン層を充填する工程と、

前記第 2 のドーパトアモルファスシリコン層を第 2 の深さまでエッチバックする工程と、

露出した前記第 2 の誘電体膜を除去する工程と、

前記第 2 のドーパトアモルファスシリコン層上に前記第 1 のドーパトアモルファスシリ

コン層からなる埋め込みストラップ層を形成する工程とを具備することを特徴とするトレンチキャパシタの製造方法。

【請求項 10】

前記第2のドーフトアモルファスシリコン層を充填する工程の前に、前記第1の不純物でドーブされた第3のドーフトアモルファスシリコン層を充填することを特徴とする請求項9記載のトレンチキャパシタの製造方法。

【請求項 11】

前記第1の不純物がヒ素であり、第2の不純物がリンであることを特徴とする請求項9又は10記載のトレンチキャパシタの製造方法。

【請求項 12】

前記第2のドーフトアモルファスシリコン層の不純物濃度を変えることを特徴とする請求項9又は10記載のトレンチキャパシタの製造方法。

【請求項 13】

前記第2のドーフト多結晶シリコン層の量を変えることを特徴とする請求項9乃至12のいずれか1記載のトレンチキャパシタの製造方法。

【請求項 14】

前記トレンチ内の底部から前記第2の誘電体膜を選択的に除去して前記第1のドーフトアモルファスシリコン層の表面を露出した後、前記トレンチ上部の内壁に残存する前記第2の誘電体膜の上部を前処理して前記第2の誘電体膜を後退させることを特徴とする請求項9乃至13のいずれか1記載のトレンチキャパシタの製造方法。

【請求項 15】

前記第2の誘電体膜を後退させた部分に前記第2のドーフトアモルファスシリコン層を堆積させることを特徴とする請求項14記載のトレンチキャパシタの製造方法。

【請求項 16】

前記第2の誘電体膜を後退させた部分に前記埋め込みストラップ層の一部が位置することを特徴とする請求項14記載のトレンチキャパシタの製造方法。

**【書類名】明細書****【発明の名称】** トレンチキャパシタ及びその製造方法**【技術分野】****【0001】**

本発明は半導体装置及びその製造方法に関し、特に、DRAMのような半導体記憶装置におけるトレンチキャパシタ及びその製造方法に関するものである。

**【背景技術】****【0002】**

従来技術によるトレンチキャパシタの製造プロセス及び構造において、蓄積ノード部のポリシリコンは全てAs（ヒ素）ドーブポリシリコンで形成されるか、或いは一部にノンドーブポリシリコンを使用するものに限られている。

**【0003】**

即ち、図17に示すように、P型シリコン基板51中にトレンチ52が設けられ、このトレンチ52内には絶縁膜53およびカラー絶縁膜54を介してAsドーブ多結晶シリコン層55が埋め込まれと共に、前記Asドーブ多結晶シリコン層55上にはAsドーブ埋め込みストラップ層56が形成されている。

**【0004】**

また、このようなトレンチキャパシタの表面部には、STI技術により素子分離領域57が設けられている。前記トレンチキャパシタに隣接して基板表面にはゲート絶縁膜61を介してゲート電極62が設けられ、このゲート電極62の側壁には側壁絶縁膜63が形成されている。さらに、ソース・ドレイン領域64が設けられると共に、前記Asドーブ埋め込みストラップ層56からのAsの拡散によりストラップ領域65が前記ソース・ドレイン領域64と重なるように形成されている。

**【0005】**

この場合、Asの拡散係数が小さいため、埋め込みストラップ（BS）拡散長が短くなりセルトランジスタのショートチャネル効果を抑制するなどの利点がある。一方、BS拡散領域の接合エッジがAsであるため、接合リークが大きく、データ保持特性を劣化するという不都合がある。

**【0006】**

このような不都合を解消するために、従来においてはカラー酸化膜のウエット処理後にシリコン側壁にリン（P）をイオン注入したり、或いはAsドーブ多結晶シリコン層55をエッチバックした後に垂直方向からPをイオン注入し、BS拡散領域の下部の接合58をPで覆うような対策が取られている。

**【発明の開示】****【発明が解決しようとする課題】****【0007】**

しかしながら、前記したような方法も、デザインルールの縮小化に伴って破綻をきしつつある。また、BS側壁に直接Pを注入する方法においては、注入時に基板側面からある程度の深さまでPが打ち込まれるため、後の熱工程でさらに奥までPが拡散し、トランジスタの特性を劣化させてしまう。

**【0008】**

さらに、Asドーブ多結晶シリコン層をエッチバックした後に垂直上部方向からPを注入する場合は、打ち込んだ時の横方向分散で注目ビットセルのみならず隣接ビットセルにもP汚染の影響があり、同様に、トランジスタの特性を劣化させてしまう。

**【0009】**

それ故、本発明の目的は、前記した従来の欠点を解消して、BS接合の境界がPで覆われたようなプロファイルとなり、接合リークを低減してDRAMのデータ保持特性を改善するトレンチキャパシタ及びその製造方法を提供することにある。

**【課題を解決するための手段】****【0010】**

本発明の第1の態様によると、トレンチキャパシタは、半導体基板と、前記半導体基板に設けられたトレンチと、前記トレンチの下部において第1の誘電体膜を介して充填され、第1の導電型を有する第1の不純物でドーパされた第1のドーパト多結晶シリコン層と、前記トレンチの上部において第2の誘電体膜を介して充填され、前記第1のドーパト多結晶シリコンと連続し、前記第1の不純物とは異なり前記第1の導電型を有する第2の不純物でドーパされた少なくとも第2のドーパト多結晶シリコン層と、前記第2のドーパト多結晶シリコン層上に設けられ、前記第1のドーパト多結晶シリコン層からなる埋め込みストラップ層とを具備することを特徴としている。

#### 【0011】

本発明の第2の態様によると、トレンチキャパシタの製造方法は、半導体基板中にトレンチを形成する工程と、前記トレンチの内壁に第1の誘電体膜を形成する工程と、前記トレンチ内に第1の不純物でドーパされ、第1の導電型を有する第1のドーパトアモルファスシリコン層を充填する工程と、前記第1のドーパトアモルファスシリコン層および前記第1の誘電体膜を第1の深さまで除去してトレンチ上部の内壁を露出する工程と、露出した前記トレンチ上部の内壁に第2の誘電体膜を形成する工程と、前記トレンチ内の底部から前記第2の誘電体膜を選択的に除去して前記第1のドーパトアモルファスシリコン層の表面を露出する工程と、前記トレンチ内に前記第1の不純物とは異なり、前記第1の導電型を有する第2の不純物でドーパされた少なくとも第2のドーパトアモルファスシリコン層を充填する工程と、前記第2のドーパトアモルファスシリコン層を第2の深さまでエッチバックする工程と、露出した前記第2の誘電体膜を除去する工程と、前記第2のドーパトアモルファスシリコン層上に前記第1のドーパトアモルファスシリコン層からなる埋め込みストラップ層を形成する工程とを具備することを特徴としている。

#### 【発明の効果】

#### 【0012】

蓄積ノードを構成する多結晶シリコン層には、Pがドーパされているので、各種工程における熱工程でPとAsが同時に拡散する。この際、Pの拡散係数がAsより大きいので、Pが若干外側まで拡散する。これにより、BS接合の境界がPで覆われるようなプロファイルとなり、接合リークを低減することができ、DRAMのデータ保持特性（ポーズ特性）を向上することができる。

#### 【0013】

また、前記蓄積ノードを構成する上部においては、Asドーパ多結晶シリコンによりその界面濃度が高く、拡散長の短い拡散層が形成されている。それ故、セルトランジスタ特性も劣化せず、BS層を低抵抗化することもできる。

#### 【発明を実施するための最良の形態】

#### 【0014】

#### [実施例]

以下、図1～図8を参照して、第1の実施例としてトレンチキャパシタの構造をその製造方法と共に説明する。

#### 【0015】

図1に示すように、例えば、P型シリコン基板11の表面にシリコン酸化膜12およびシリコン窒化膜13をそれぞれ20Åおよび2200Åの厚さに順次形成した後、リソグラフィ技術およびドライエッチングを用いて前記シリコン窒化膜13に開口部14を形成する。

#### 【0016】

前記開口部14を有する前記シリコン窒化膜13をマスクとして、前記半導体基板11中に、例えば、深さ1.5μmおよび幅0.14μmを有するトレンチ15を形成する。既知のように、N型不純物を拡散してトレンチ15の周囲に埋め込みプレート（図示しない）を形成する。

#### 【0017】

図2に示すように、前記トレンチ15の露出した内壁に、例えば、シリコン窒化膜16

を 50 Å (オングストローム) の厚さに堆積した後、蓄積ノード電極となる、As (ヒ素) ドープされたアモルファスシリコン 17 を前記トレンチ 15 内に埋め込む。しかる後、前記 As ドープアモルファスシリコン 17 を所望の深さ、例えば、約 1.3  $\mu\text{m}$  までエッチバックし、同時に前記シリコン窒化膜 16 を除去する。

#### 【0018】

図 3 に示すように、露出したトレンチ内壁に熱酸化膜を 60 Å の厚さに形成した後、TEOS のようなカラー (Collar) 酸化膜 18 を 400 Å の厚さに堆積する。しかる後、ドライエッチングにより前記トレンチ 15 内の底部のカラー酸化膜 18 のみを除去して埋め込まれた As ドープアモルファスシリコン 17 の表面を露出する。

#### 【0019】

図 4 に示すように、As ドープアモルファスシリコン 17 上に As ドープされたアモルファスシリコン 19 の埋め込みを行う。次いで、前記 As ドープアモルファスシリコン 19 を所望の深さ、例えば、1200 Å までエッチバックする。

#### 【0020】

しかる後、ドライクリーニングなどの前処理を行い、P (リン) ドープされたアモルファスシリコン 20 を埋め込み、所望の深さ、例えば、約 900 Å までエッチバックする。

#### 【0021】

図 5 に示すように、弗酸などのウエットエッチングにより露出しているカラー酸化膜 18 を除去する。これにより、蓄積ノードとシリコン基板 11 を電氣的に接続する埋め込みストラップの開口を形成することができる。

#### 【0022】

図 6 に示すように、As ドープアモルファスシリコン 21 を堆積し、所望の深さ、例えば、約 300 Å までエッチバックし、埋め込みストラップコンタクトを形成する。この場合、蓄積ノードポリシリコンの 900 Å-600 Å の深さのところに P ドープアモルファスシリコンが埋め込まれているので、後の熱工程で As と同時に P も拡散して埋め込みストラップ接合エッジを P で覆うことができる。その際、埋め込まれたアモルファスシリコンは多結晶シリコンとなる。このようにして、トレンチキャパシタ DT1 が完成する。

#### 【0023】

さらに、P ドープアモルファスシリコン 20 におけるエッチバックの深さを変えることにより、P ドープアモルファスシリコンの量および／または位置を変えることができ、デバイスの合わせこみ、即ち、デバイスの設計や最適化に対する自由度が増加する。

#### 【0024】

図 4 において、P ドープされたアモルファスシリコン 20 を埋め込む際、ドライクリーニングなどの前処理を行っているので、カラー酸化膜 18 の膜厚は変わらないが、希弗酸を用いて前処理を行うと、図 7 に示すように、前記カラー酸化膜 18 が後退して埋め込まれた P ドープアモルファスシリコンの幅を増加させる、即ち、P ドープアモルファスシリコンの量を増加することができる。

#### 【0025】

図 8 に示すように、従来と同様に、このようなトレンチキャパシタ DT1 に対して、素子分離用の STI 加工を行い、素子分離用のシリコン酸化膜 22 を形成する。しかる後、前記マスクとして使用した前記シリコン窒化膜 13 を剥離し、各々のセルトランジスタ領域に所望のチャンネルおよびウエル用イオン注入を行う。次いで、基板表面から前記シリコン酸化膜 12 を除去した後、ゲート絶縁膜 23 を介してゲート電極 24 を形成し、各ゲート電極に側壁絶縁膜 25 を形成する。しかる後、N 型不純物の As を前記シリコン基板 11 に導入してソース・ドレイン領域 26 を形成する。

#### 【0026】

このような工程における熱処理を受けて、前記したように、As ドープ多結晶シリコン層 21 および P ドープ多結晶シリコン層 20 から As と同時に P も拡散して埋め込みストラップ接合エッジ 27 が斜線で示すような領域 28 で P で覆われる。

#### 【0027】

次に、図9-図16を参照して、第2の実施例としてトレンチキャパシタの構造をその製造方法と共に説明する。

#### 【0028】

図9に示すように、例えば、P型シリコン基板31の表面にシリコン酸化膜32およびシリコン窒化膜33をそれぞれ20Åおよび2200Åの厚さに順次形成した後、リソグラフィ技術およびドライエッチングを用いて前記シリコン窒化膜33に開口部34を形成する。

#### 【0029】

前記開口部34を有する前記シリコン窒化膜33をマスクとして、前記半導体基板31中に、例えば、深さ1.5 $\mu$ mおよび幅0.14 $\mu$ mを有するトレンチ35を形成する。既知のように、N型不純物を拡散してトレンチ35の周囲に埋め込みプレート（図示しない）を形成する。

#### 【0030】

図10に示すように、前記トレンチ35の露出した内壁に、例えば、シリコン窒化膜36を50Åの厚さに堆積した後、蓄積ノード電極となる、As（ヒ素）ドーパされたアモルファスシリコン37を前記トレンチ35内に埋め込む。しかる後、前記Asドーパアモルファスシリコン37を所望の深さ、例えば、約1.3 $\mu$ mまでエッチバックし、同時に前記シリコン窒化膜36を除去する。

#### 【0031】

図11に示すように、露出したトレンチ内壁に熱酸化膜を60Åの厚さに形成した後、TEOSのようなカラー酸化膜38を堆積する。しかる後、ドライエッチングにより前記トレンチ35内の底部のカラー酸化膜38のみを除去して埋め込まれたAsドーパアモルファスシリコン37の表面を露出する。ここまでのプロセスは第1の実施例における図1-3と同様である。

#### 【0032】

図12に示すように、Asドーパアモルファスシリコン37上にPドーパされたアモルファスシリコン39を堆積し、所望の深さ、例えば、2000Åまでエッチバックする。

#### 【0033】

図13に示すように、Pドーパされたアモルファスシリコン39上にレジスト40を塗布し、例えば、CDE (Chemical Dry Etching)により所望の深さ、例えば、約700Åまでエッチバックする。しかる後、弗酸系のウェットエッチングにより側壁に露出しているカラー酸化膜38の一部を除去して蓄積ノードとシリコン基板31を電氣的に接続する埋め込みストラップの開口を形成する。

#### 【0034】

図15に示すように、レジスト40を剥離した後、Asドーパアモルファスシリコン41を堆積し、所望の深さ、例えば、約300Åまでエッチバックし、埋め込みストラップコンタクトを形成する。この場合、蓄積ノードポリシリコンの0.2 $\mu$ m-1.3 $\mu$ mの深さのところにPドーパアモルファスシリコンが埋め込まれているので、後の熱工程でAsと同時にPも拡散して埋め込みストラップ接合エッジをPで覆うことができる。その際、埋め込まれたアモルファスシリコンは多結晶シリコンとなる。このようにして、トレンチキャパシタDT2が完成する。

#### 【0035】

さらに、第1の実施例と同様に、Pドーパアモルファスシリコン39におけるエッチバックの深さを変えることにより、Pドーパアモルファスシリコンの量および／または位置を変えることができ、デバイスの合わせこみ、即ち、デバイスの設計や最適化に対する自由度が増加する。

#### 【0036】

図15において、Asドーパされたアモルファスシリコン41を埋め込む際、ドライクリーニングなどの前処理を行っているので、カラー酸化膜38の膜厚は変わらないが、希弗酸を用いて前処理を行うと、図16に示すように、前記カラー酸化膜18が後退して、



埋め込まれたAsドーパモルファスシリコンの幅を増加させる、即ち、Asドーパモルファスシリコンの量を増加することができる。

【0037】

前記した第1の実施例における図8と同様に、このようなトレンチキャパシタDT2に対して、素子分離用のSTI加工を行い、素子分離領域を形成し、各セルトランジスタを形成する。

【0038】

同様に、このような工程における熱処理を受けて、前記したように、Asドーパ多結晶シリコン層41およびPドーパ多結晶シリコン層39からAsと同時にPも拡散して埋め込みストラップ接合エッジがPで覆われる。

【図面の簡単な説明】

【0039】

【図1】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図2】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図3】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図4】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図5】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図6】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図7】本発明の第1の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図8】本発明の第1の実施例によるトレンチキャパシタとセルトランジスタの一部を模式的に示す断面図である。

【図9】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図10】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図11】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図12】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図13】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図14】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図15】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図16】本発明の第2の実施例によるトレンチキャパシタの製造工程の一部を模式的に示す断面図である。

【図17】従来のトレンチキャパシタとセルトランジスタの一部を模式的に示す断面図である。

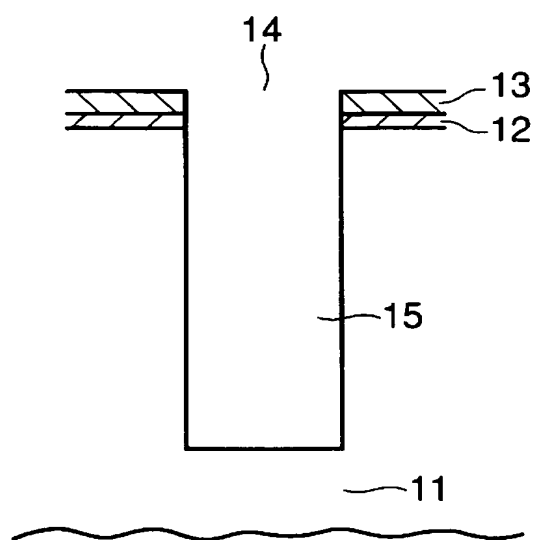
【符号の説明】

【0040】

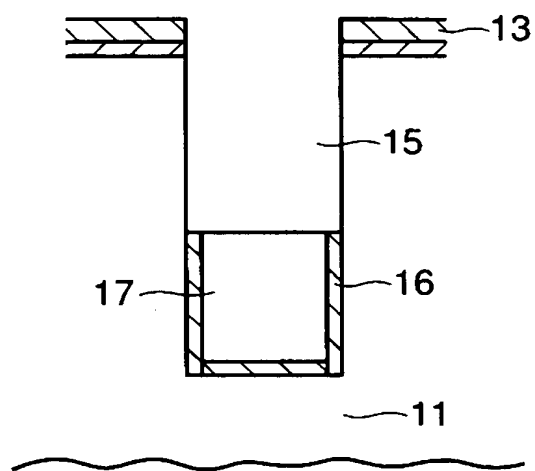
11, 31…シリコン基板、12, 32…シリコン酸化膜、13, 33…シリコン窒化膜、14, 34…開口部、15, 35…トレンチ、16, 36…シリコン窒化膜、17,

3 7…A s ドープアモルファスシリコン、1 8, 3 8…カラー酸化膜、1 9…A s ドープアモルファスシリコン、2 0…P ドープアモルファスシリコン、2 1…A s ドープアモルファスシリコン、2 2…S T I によるシリコン酸化膜、2 3…ゲート絶縁膜、2 4…ゲート電極、2 5…側壁絶縁膜、2 6…ソース・ドレイン領域、2 7…接合エッジ、2 8…P で覆われた領域、D T 1, D T 2…トレンチキャパシタ、3 9…P ドープアモルファスシリコン、4 0…レジスト、4 1…A s ドープアモルファスシリコン

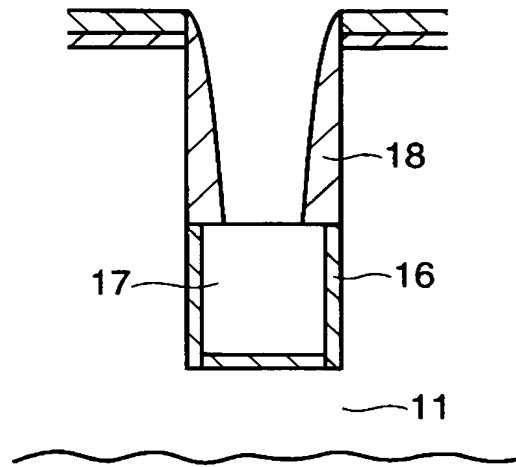
【書類名】 図面  
【図 1】



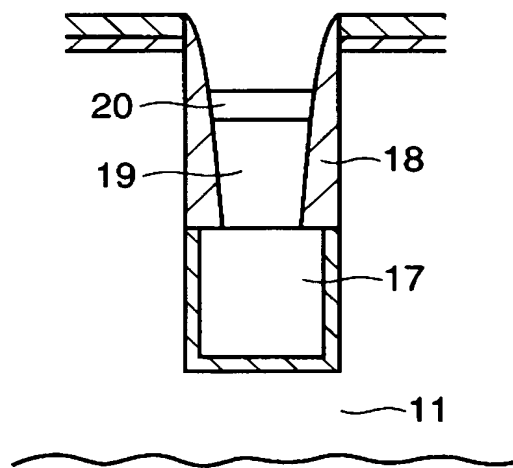
【図 2】



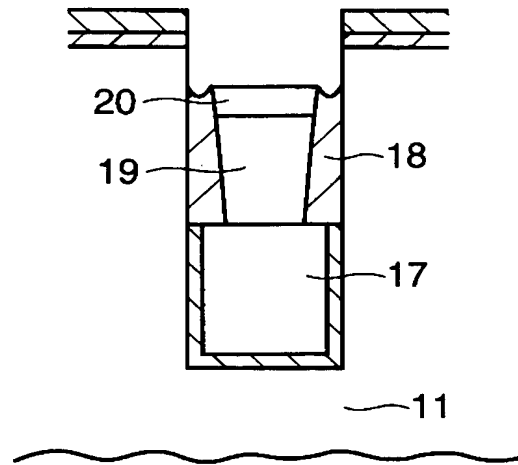
【図 3】



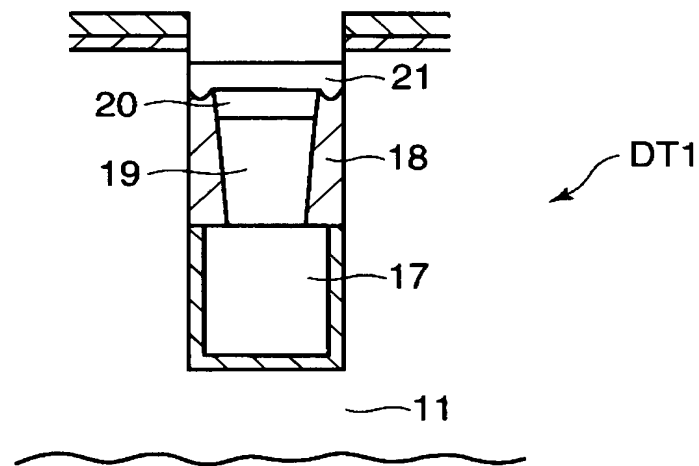
【図 4】



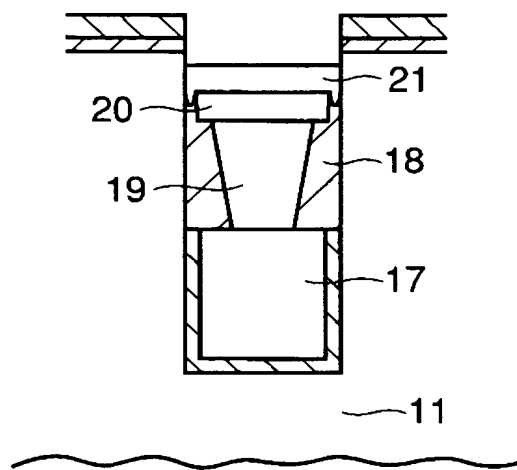
【図 5】



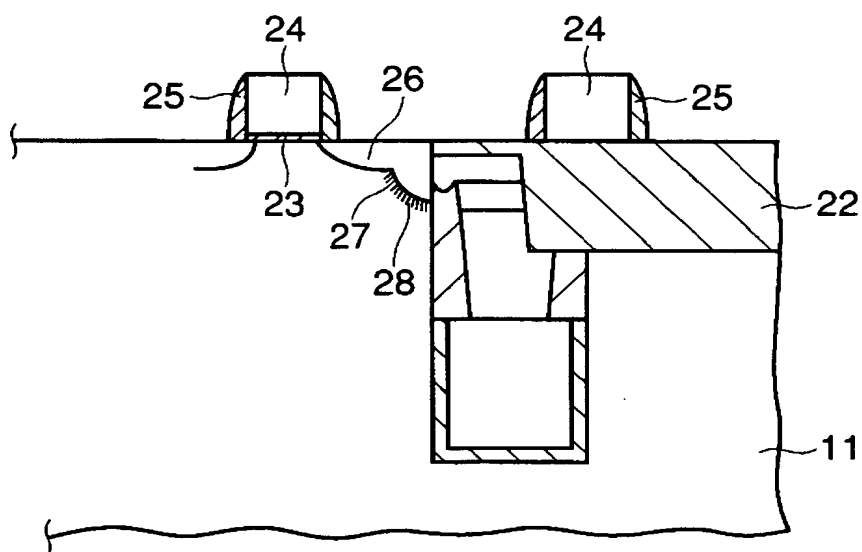
【図 6】



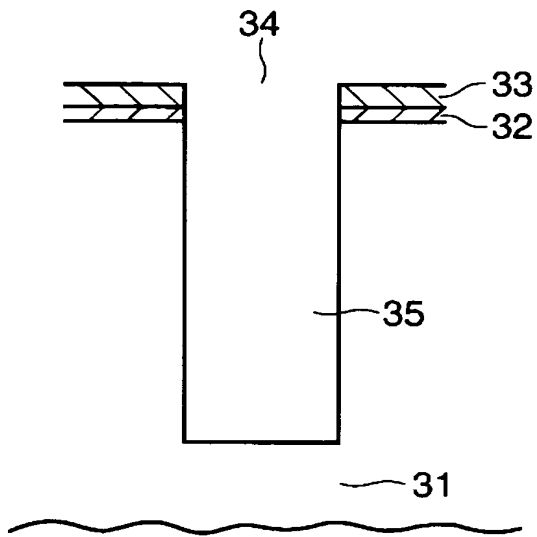
【図 7】



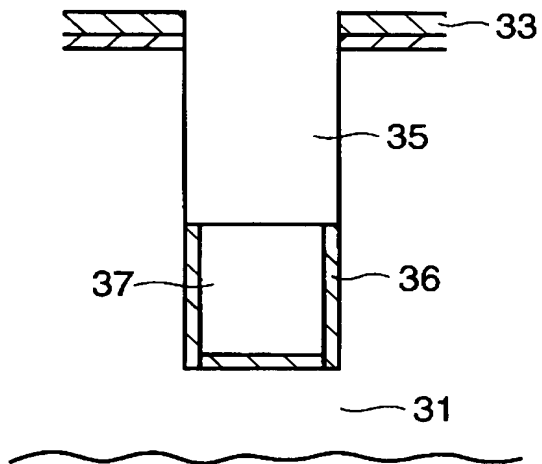
【図 8】



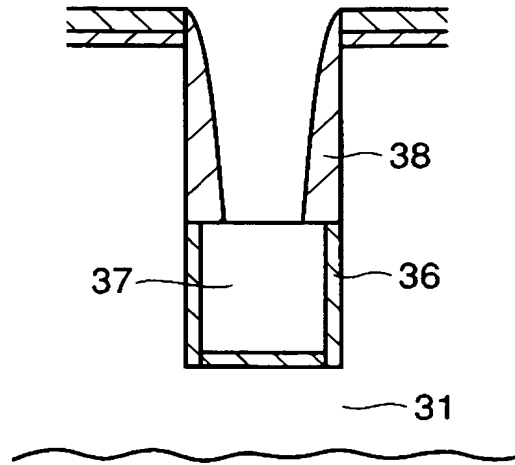
【図 9】



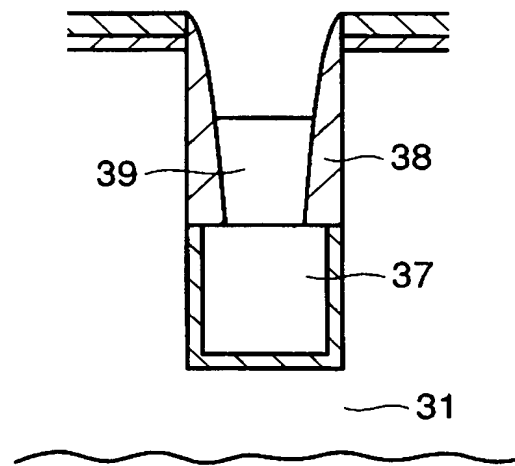
【図 10】



【図 1 1】

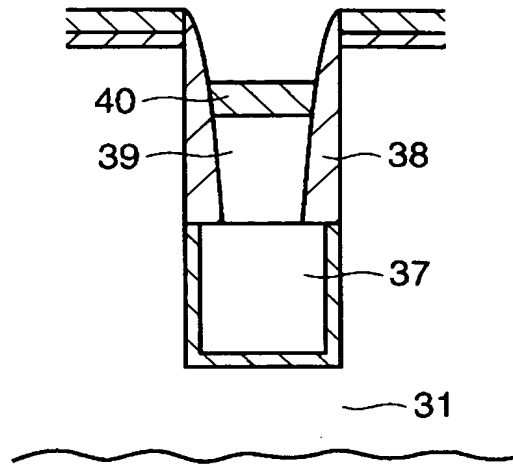


【図 1 2】

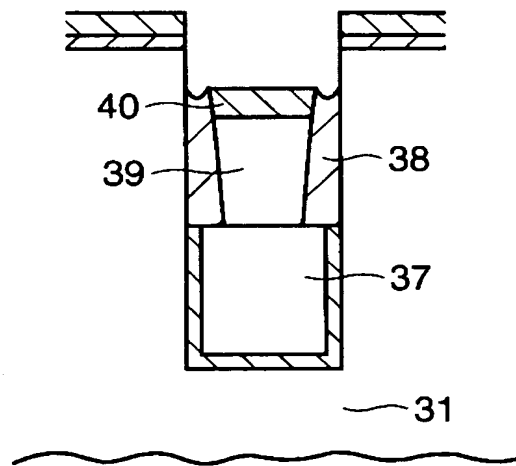




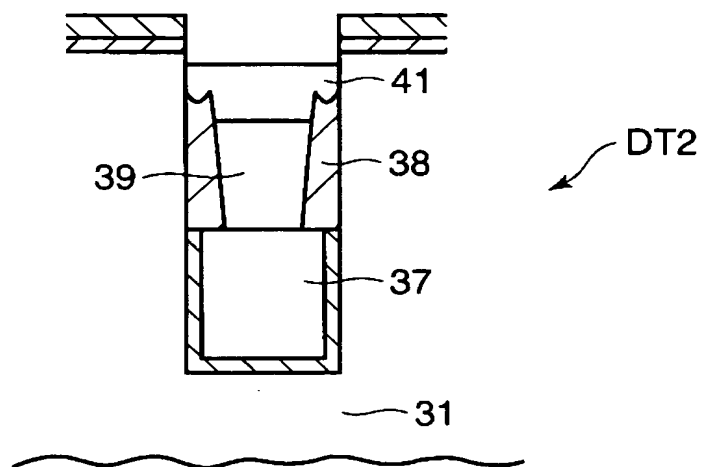
【図 13】



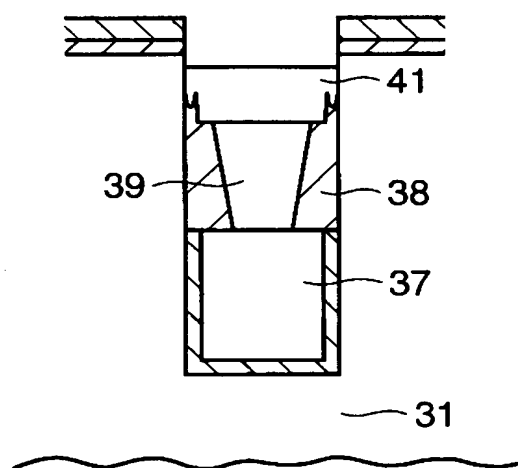
【図 14】



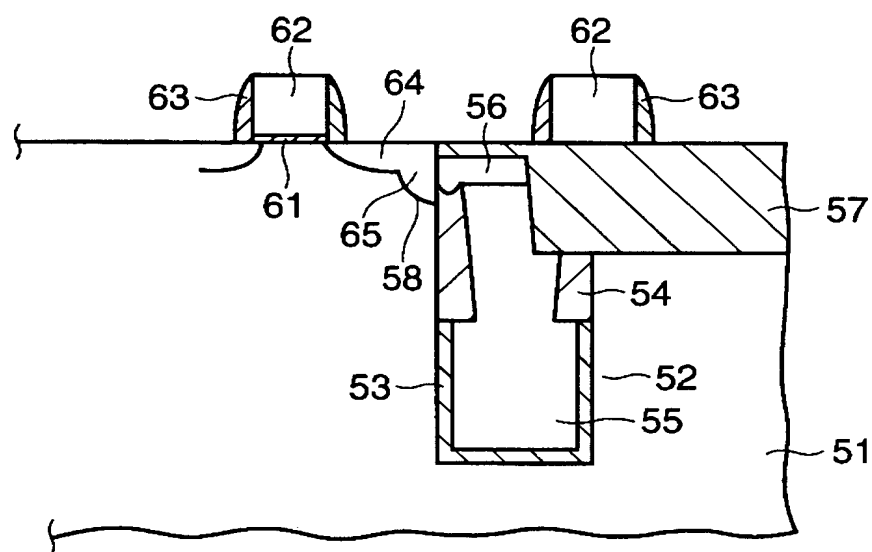
【図 15】



【図 16】



【図 17】



## 【書類名】 要約書

## 【要約】

【課題】 接合リークを低減してDRAMのデータ保持特性を改善するトレンチキャパシタ及びその製造方法を提供する。

【解決手段】 トレンチキャパシタDT1は、半導体基板11と、前記半導体基板に設けられたトレンチ15と、前記トレンチの下部において第1の誘電体膜16を介して充填され、第1の導電型を有する第1の不純物でドーピングされた第1のドーフト多結晶シリコン層17と、前記トレンチの上部において第2の誘電体膜18を介して充填され、前記第1のドーフト多結晶シリコン17と連続し、前記第1の不純物とは異なり前記第1の導電型を有する第2の不純物でドーピングされた少なくとも第2のドーフト多結晶シリコン層20と、前記第2のドーフト多結晶シリコン層20上に設けられ、前記第1のドーフト多結晶シリコン層からなる埋め込みストラップ層21とを具備している。

【選択図】 図6

3

特願 2 0 0 3 - 3 5 2 3 4 6

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝